

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-196067

(43)Date of publication of application : 21.07.1999

(51)Int.Cl.

H04J 13/04

H04B 7/26

H04B 1/707

(21)Application number : 09-367663

(71)Applicant : NTT MOBIL COMMUN NETWORK INC
YOZAN INC

(22)Date of filing : 26.12.1997

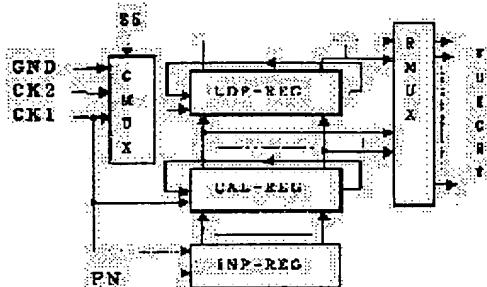
(72)Inventor : SHU NAGAAKI
SHU TERUHEI
SAWAHASHI MAMORU
ADACHI FUMIYUKI

(54) SIGNAL RECEIVING DEVICE FOR DS-CDMA CELLULAR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To cope with a long delay path by means of a small signal receiving device by the use of switching a current code register which stores the current diffusion code and a long delay register which stores the diffusion code that is delayed by a single symbol cycle, as compared with the current diffusion code and receiving both current and long delay peaks by a single matched filter.

SOLUTION: In order to process a long delay path of a traffic channel, the diffusion codes are supplied to a matched filter by the arithmetic registers of two system, i.e., a current code register CAL-REG which holds the current diffusion code and a long delay register LDP-REG. The LDP-REG stores a diffusion code that is delayed by a single symbol cycle compared with the current diffusion code of the CAL-REG. The parallel outputs of both registers are connected to a register multiplexer RMUX, and the diffusion code of one of both registers is outputted with respect to the matched filter as a control signal MUXCNT.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-196067

(43)公開日 平成11年(1999)7月21日

(51) Int.Cl⁸

識別記号

F I

H 0 4 J 13/04

H 0 4 J 13/00

G

H 0 4 B 7/26

H 0 4 B 7/26

M

1/707

H 0 4 J 13/00

C

H 0 4 J 13/00

D

審査請求 未請求 請求項の数21 FD (全 12 頁)

(21)出願番号

特願平9-367663

(71)出願人 392026693

エヌ・ティ・ティ移動通信網株式会社
東京都港区虎ノ門二丁目10番1号

(22)出願日

平成9年(1997)12月26日

(71)出願人 000127178

株式会社鷹山
東京都世田谷区北沢3-5-18

(72)発明者 周長明

東京都世田谷区北沢3-5-18鷹山ビル
株式会社鷹山内

(72)発明者 周旭平

東京都世田谷区北沢3-5-18鷹山ビル
株式会社鷹山内

(74)代理人 弁理士 山本誠

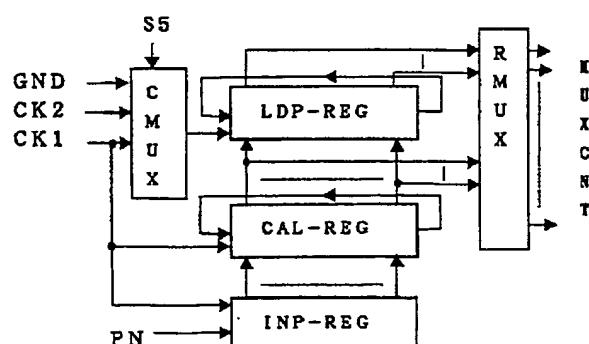
最終頁に続く

(54)【発明の名称】 DS-CDMAセルラシステムの信号受信装置

(57)【要約】

【目的】 小型の信号受信装置により長遅延バスに対処する。

【構成】 現在の拡散符号を格納した現符号レジスタと現在の拡散符号より1シンボル周期遅延した拡散符号を格納した長遅延レジスタを切替えて使用し、1個のマッチドフィルタで現在および長遅延のピークを受信する。



【特許請求の範囲】

【請求項1】 アナログ入力信号を時系列で保持する複数のサンプルホールド回路と；これらサンプルホールド回路に保持されたアナログ入力信号と拡散符号との相関を算出する複数のマッチドフィルタと；各マッチドフィルタに対応して設けられ、前記拡散符号を格納しつつその拡散符号を前記マッチドフィルタに供給する演算レジスタと；を備えたDS-CDMAセルラシステムの信号受信装置において、1個または複数のマッチドフィルタには複数の演算レジスタが設けられ、これら演算レジスタには現在の拡散符号が格納された演算レジスタ（以下「現符号レジスタ」という。）およびこれよりも1シンボル周期ずつ遅延した拡散符号が格納された1個または複数の演算レジスタ（以下「長遅延レジスタ」という。）が存在し；これら複数の演算レジスタはレジスタ・マルチブレクサによって逐一的に、対応するマッチドフィルタに接続され；1個のマッチドフィルタを用いてマルチバスの現れるタイミングに合わせて、前記レジスタ・マルチブレクサを切替えて1シンボル周期内の遅延バス及び複数シンボル周期に渡る長遅延バスを検出し得るようになっていることを特徴とするDS-CDMAセルラシステムの信号受信装置。

【請求項2】 サンプルホールド回路は入力信号に並列に接続され順次入力信号を取込むように制御され、演算レジスタはサンプルホールド回路のサンプリングタイミングに同期して循環シフトすることを特徴とする請求項1記載のDS-CDMAセルラシステムの信号受信装置。

【請求項3】 サンプルホールド回路は入力信号に接続された初段サンプルホールド回路から最終段サンプルホールド回路までを直列に接続してなり、入力信号はこれらサンプルホールド回路を最終段に向かって転送されることを特徴とする請求項1記載のDS-CDMAセルラシステムの信号受信装置。

【請求項4】 マッチドフィルタには所要の遅延バスが全て1シンボル周期内に含まれる長い符号長の長符号マッチドフィルタと、この長符号マッチドフィルタよりも符号長が短い短符号マッチドフィルタとが存在し、複数の演算レジスタは短符号マッチドフィルタについて設けられ；長符号マッチドフィルタの出力に基づいて短符号マッチドフィルタの長遅延バスを検出し、この検出結果に基づいて、レジスタ・マルチブレクサを切替えつつ、短符号マッチドフィルタで長遅延バスを受信することを特徴とする請求項1記載のDS-CDMAセルラシステムの信号受信装置。

【請求項5】 長符号マッチドフィルタは止り木チャネルに割り当てられ、短符号マッチドフィルタはトラフィックチャネルに割り当てられていることを特徴とする請求項4記載のDS-CDMAセルラシステムの信号受信装置。

【請求項6】 現符号レジスタおよび長遅延レジスタの出力とレジスタ・マルチブレクサとの間、またはレジスタ・マルチブレクサとマッチドフィルタとの間には位相・マルチブレクサが設けられ、位相・マルチブレクサは現符号レジスタ及び長遅延レジスタの各々の拡散符号を現在の循環シフト状態またはそれ以前の循環シフト状態に対応したデータ列としてレジスタ・マルチブレクサに出力するようになっており、現符号レジスタの拡散符号と長遅延レジスタの拡散符号との両者により同時に相関ピークが生じるピーク重複のタイミングでは、現符号レジスタの拡散符号と入力信号との相関演算を行い、この時の長遅延レジスタの拡散符号とマッチドフィルタとの対応関係が保持されるように、1チップ時間後のタイミングで位相・マルチブレクサを切替えて長遅延レジスタの拡散符号と入力信号との相関演算を行い、その後位相・マルチブレクサの接続を最初の状態に復帰させることを特徴とする請求項2記載のDS-CDMAセルラシステムの信号受信装置。

【請求項7】 位相・マルチブレクサは演算レジスタの複数チップ時間の循環シフトに追随し得るように多入力1出力のマルチブレクサを並列してなり、相関ピークの重複が複数回連続して生じるとき、現符号レジスタの拡散符号と入力信号との相関演算を1回以上行ない、このときの長遅延レジスタの拡散符号とマッチドフィルタの対応関係が保持されるように、位相・マルチブレクサを切替えつつ長遅延レジスタの拡散符号と入力信号との相関演算を行い、これらの操作を1回以上繰り返し、これによって複数回連続の相関ピーク重複を全て回避することを特徴とする請求項6記載のDS-CDMAセルラシステムの信号受信装置。

【請求項8】 長遅延レジスタの循環シフトのためのクロックと、このクロックよりも充分早いクロックとを選択的に長遅延レジスタに供給し、さらに両クロックの供給を停止し得るクロック・マルチブレクサをさらに備え、現符号レジスタの拡散符号と長遅延レジスタの拡散符号との両者により同時に相関ピークが生じるピーク重複のタイミングでは長遅延レジスタの循環シフトを停止し、現符号レジスタの拡散符号と入力信号との相関演算を行い、そしてそれより1チップ時間後のタイミングで長遅延レジスタの拡散符号と入力信号との相関演算を行い、それより1チップ時間後のタイミングで充分早いクロックにより長遅延レジスタの拡散符号を2回循環シフトし、これによってピークの重複を回避することを特徴とする請求項2記載のDS-CDMAセルラシステムの信号受信装置。

【請求項9】 相関ピークの重複が複数回連続して生じるとき、長遅延レジスタの循環シフトを停止しつつ現符号レジスタによる相関ピークを1回以上生成する処理、この回数と同じ回数長遅延レジスタによる相関ピークの生成を生成する処理、および現符号レジスタにより相関

ピークを生成しつつ長遅延レジスタを上記回数と同じ回数、充分早いクロックにより循環シフトする処理による操作を1回または複数回実行し、これによって複数回連続のピーク重複を全て回避することを特徴とする請求項8記載のDS-CDMAセルラシステムの信号受信装置。

【請求項10】 相関ピークの重複が複数回連続して生じるときには、長遅延レジスタの循環シフトを停止しつつ現符号レジスタによる相関ピークを生成する処理、長遅延レジスタによる相関ピークの生成の処理、および現符号レジスタにより相関ピークを生成しつつ長遅延レジスタを2回循環シフトする処理を連続回数繰り返し、これによって複数回連続のピーク重複を全て回避することを特徴とする請求項8記載のDS-CDMAセルラシステムの信号受信装置。

【請求項11】 サンプルホールド回路と並列にアナログ入力信号に接続された副サンプルホールド回路をさらに備え、ピーク重複のタイミングにおける現符号レジスタによる相関ピーク生成時には、その相関ピーク生成のタイミングよりも(1シンボル周期-1チップ時間)前に、サンプルホールド回路と対応する副サンプルホールド回路に並列にアナログ入力信号を格納し、長遅延レジスタによる相関ピーク生成時には最新のアナログ入力信号に替えて副サンプルホールド回路のアナログ入力信号を使用し、このアナログ入力信号には対応するサンプルホールド回路に対する積和演算と同一の演算を施すことを特徴とする請求項6または8に記載のDS-CDMAセルラシステムの信号受信装置。

【請求項12】 サンプルホールド回路と並列にアナログ入力信号に接続された副サンプルホールド回路をさらに備え、ピーク重複のタイミングにおける現符号レジスタによる相関ピーク生成時には、サンプルホールド回路の信号および現符号レジスタの拡散符号によって相関演算を行い、長遅延レジスタによる相関ピーク生成時には、最新のアナログ入力信号を副サンプルホールド回路に格納し、かつサンプルホールド回路の信号および長遅延レジスタの拡散符号によって相関演算を行い、その後1シンボル周期の間、この時の最新のアナログ入力信号を本来格納すべきサンプルホールド回路に替えて副サンプルホールド回路を使用し、このアナログ入力信号には対応するサンプルホールド回路に対する積和演算と同一の演算を施すことを特徴とする請求項6または8に記載のDS-CDMAセルラシステムの信号受信装置。

【請求項13】 サンプルホールド回路と並列にアナログ入力信号に接続された複数の副サンプルホールド回路をさらに備え、ピーク重複のタイミングにおける現符号レジスタによる相関ピークを生成するタイミングにおいて、これらのタイミングよりも(1シンボル周期-1チップ時間)前、(1シンボル周期-2チップ時間)前、...、(1シンボル周期-(d-1)チップ時

間)前(dは自然数)のアナログ入力信号をサンプルホールド回路および対応する副サンプルホールド回路に順次格納し、長遅延レジスタによる相関ピークの生成時にはこれら副サンプルホールド回路のアナログ入力信号を順次使用し、このアナログ入力信号には対応するサンプルホールド回路に対する積和演算と同一の演算を施すことを特徴とする請求項7、請求項9または請求項10に記載のDS-CDMAセルラシステムの信号受信装置。

【請求項14】 サンプルホールド回路と並列にアナログ入力信号に接続された複数の副サンプルホールド回路をさらに備え、ピーク重複が連続して生じるタイミングでは、新たなアナログ入力信号は副サンプルホールド回路に順次格納しつつ、サンプル・ホールド回路の信号および現符号レジスタの拡散符号によって相関演算を行い、その後、最新のアナログ入力信号を副サンプルホールド回路に格納しつつ、サンプルホールド回路の信号および長遅延レジスタの拡散符号によって相関演算を行い、その後副サンプルホールド回路内信号の格納から1シンボル周期の間、各信号を本来格納すべきサンプルホールド回路に替えて副サンプルホールド回路を使用し、このアナログ入力信号には対応するサンプルホールド回路に対する積和演算と同一の演算を施すことを特徴とする請求項7、請求項9または請求項10に記載のDS-CDMAセルラシステムの信号受信装置。

【請求項15】 長遅延レジスタと同一拡散符号が格納され、かつ長遅延レジスタから1チップ時間遅延した巡回シフト状態の副長遅延レジスタをさらに備え、レジスタ・マルチプレクサは現符号レジスタ、長遅延レジスタ、副長遅延レジスタの拡散符号を逐一的にマッチドファイルタに供給するようになっており、ピーク重複のタイミングではレジスタ・マルチプレクサの出力を現符号レジスタとし、その後レジスタ・マルチプレクサの出力を副長遅延レジスタとし、さらにレジスタ・マルチプレクサの出力を現符号レジスタに戻し、これによってピークの重複を回避することを特徴とする請求項2記載のDS-CDMAセルラシステムの信号受信装置。

【請求項16】 副長遅延レジスタは複数設けられ、ピークの重複が連続して生じるタイミングで、レジスタ・マルチプレクサの出力を現符号レジスタとし、この重複タイミングの終了後に、重複タイミングの回数だけ、レジスタ・マルチプレクサの出力を副長遅延レジスタの拡散符号とし、その後レジスタ・マルチプレクサの出力を現符号レジスタに戻し、これによって連続したピーク重複の全てを回避することを特徴とする請求項12記載のDS-CDMAセルラシステムの信号受信装置。

【請求項17】 サンプルホールド回路に格納されたアナログ入力信号と演算レジスタ内の拡散符号との対応関係を一定に保つように、アナログ入力信号の転送に同期して演算レジスタとサンプルホールド回路との接続関係を制御し得るセレクタをさらに備え、現符号レジスタの

拡散符号と長遅延レジスタの拡散符号との両者により同時に相関ピークが生じるピーク重複のタイミングでは、現符号レジスタにより相関ピークを生成し、それより1チップ時間後のタイミングで、シフトされたアナログ入力信号に追随するようにセレクタを切り替えつつ長遅延レジスタの拡散符号による相関ピークを生成し、その後、セレクタを元の状態に復帰させ、これによってピークの重複を回避することを特徴とする請求項3記載のD S - CDMAセルラシステムの信号受信装置。

【請求項18】相関ピークの重複が複数回連続して生じるとき、現符号レジスタによる相関ピークを1回以上生成する処理、この処理に際してシフトしたアナログ入力信号に追随するようにセレクタを切替えつつ、前記回数と同一回数、長遅延レジスタの拡散符号による相関ピークを生成する処理、セレクタをもとの接続に復帰させる処理よりなる操作を1回または複数回実行し、これによって複数回連続のピーク重複を全て回避することを特徴とする請求項3記載のD S - CDMAセルラシステムの信号受信装置。

【請求項19】相関ピークの重複が複数回連続して生じるとき、現符号レジスタによる相関ピークを1回生成する処理、この処理に際してシフトしたアナログ入力信号に追随するようにセレクタを切替えつつ長遅延レジスタの拡散符号による相関ピークを1回生成する処理、セレクタをもとの接続に復帰させる処理よりなる操作を1回または複数回実行し、これによって複数回連続のピーク重複を全て回避することを特徴とする請求項3記載のD S - CDMAセルラシステムの信号受信装置。

【請求項20】サンプルホールド回路の後段に接続された1段または複数段の副サンプルホールド回路をさらに備え、セレクタをアナログ入力信号のシフトに追随させるときには、セレクタはこれら副サンプルホールド回路にも接続されるようになっていることを特徴とする請求項17～19のいずれか1項に記載のD S - CDMAセルラシステムの信号受信装置。

【請求項21】相関ピークが存在しない期間においては、マッチドフィルタにおける加算回路への給電を停止し、これによって電力消費を節減していることを特徴とする請求項1記載のD S - CDMAセルラシステムの信号受信装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、アナログ入力信号を時系列で保持する複数のサンプルホールド回路と、これらサンプルホールド回路に保持されたアナログ入力信号と拡散符号との相関を算出する複数のマッチドフィルタと、各マッチドフィルタに対応して設けられ、前記拡散符号を格納しつつその拡散符号を前記マッチドフィルタに供給する演算レジスタと、を備えたD S - CDMAセルラシステムの信号受信装置に関する。

【0002】この種CDMAセルラ方式は、基地局および移動局の識別が可能であり、セル間にまたがった時間管理が不要なため、セル間非同期システムを実現する上で重要である。ここにセル間非同期システムは、GPSなどの時間同期システムに依存することなく、基地局システムが安価になる。さらに時間同期システムは基地局を信号の到達時間差で識別するため、基地局個別のロングコードは設定されておらず、基地局の誤認に基づく問題が生じる可能性がある。また移動局の信号受信装置は、実用システム実現のために、ロングコードとショートコードの合成コードの逆拡散の他に、マルチパスに対するフェージング補償、レーク合成の処理のみならず、初期セルサーチや周辺セルサーチのために複数の基地局の識別、評価を行うとともに、拡散率を可変として伝送速度を可変とし、通信速度の向上のためのマルチコード伝送にも対応する

【0003】

【従来の技術】このようなCDMAセルラ方式は信号受信装置が複雑かつ大規模なものになる可能性があり、移動局の特性として好ましいことではない。とくに受信信号のマルチパスに1シンボル周期以上遅延した長遅延パスが存在する場合、トラフィックチャンネルでは1コードの処理に複数のマッチドフィルタが必要であり、回路規模は一層拡大する。

【0004】

【発明が解決しようとする課題】本発明はこのような背景のもとに創案されたもので、長遅延パスに対処し得る小型の信号受信装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明に係る信号受信装置は、現在の拡散符号を格納した現符号レジスタと現在の拡散符号より1シンボル周期ずつ遅延した拡散符号を格納した1個または複数の長遅延レジスタを切替えて使用し、1個のマッチドフィルタで現在および長遅延のピークを受信するものである。

【0006】

【発明の実施の形態】次の本発明に係るD S - CDMAセルラシステムの信号受信装置の1実施例を図面に基づいて説明する。

【0007】

【実施例】図1において信号受信装置における1個のマッチドフィルタは、アナログ入力信号V inが接続された複数のサンプルホールド回路SH1～SHnを有し、これらサンプルホールド回路においてV inを保持する。これらサンプルホールド回路はシステムクロックに呼応して動作し、順次V inのサンプルホールドを行う。このようにサンプルホールド回路間でのデータ転送を行わない構成とすることにより、データの転送誤差を解消し得る。

【0008】サンプルホールド回路SH1～SHnの出

力は対応するマルチブレクサMUX 1～MUX nに入力され、各マルチブレクサは拡散符号（1ビットの符号列）に呼応してサンプルホールド回路出力を2系統に振り分ける。マルチブレクサの各系統の出力信号は加算回路ADDに入力され、加算回路は拡散符号の「1」、「0」にそれぞれ対応した「p」、「m」の処理系を有する。さらに加算回路ADDの出力はスケーラ（符号「SCALER」で示す）に入力され、適宜スケーリングが行われた出力信号Voutが生成される。

【0009】前記サンプルホールド回路はVinに対して並列に接続されて順次Vinを取込むようになっており、フィルタ演算は、サンプリングタイミングに同期して拡散符号を循環シフトさせることにより実行される。このときマルチブレクサMUX 1～MUX nは高速で切替制御される。

【0010】図3はマッチドフィルタ以降の回路構成を示す。図3では理解を容易にするため、マッチドフィルタの個数は8個に限定してあり、2個のマッチドフィルタMF 01、MF 02を止り木チャンネルグループPchに割当て、4個のマッチドフィルタMF 21～MF 24をトラフィックチャンネルグループTchに割り当て、2個のマッチドフィルタMF 11、MF 12を共用グループCchに割当てている。

【0011】グループPchおよびCchの4個のマッチドフィルタ出力は4入力1出力のマルチブレクサMUX p1～MUX pSにそれぞれ入力され、各マルチブレクサはMF 01、MF 02、MF 11、MF 12の出力を逐一的に出力する。各マルチブレクサMUX p1～MUX pSの出力にはマルチバス信号・サンプルホールド回路SHp1～SHpSがそれぞれ接続され、各サンプルホールド回路はPch、Cchで生じたピークを1個ずつ保持する。

【0012】グループTchおよびCchの6個のマッチドフィルタ出力は6入力1出力のマルチブレクサMUX t1～MUX tRにそれぞれ入力され、各マルチブレクサはMF 21、MF 22、MF 23、MF 24、MF 11、MF 12の出力を逐一的に出力する。各マルチブレクサMUX t1～MUX tRの出力にはマルチバス信号・サンプルホールド回路SHt1～SHtRがそれぞれ接続され、各サンプルホールド回路はTch、Cchで生じたピークを1個ずつ保持する。Pch、Tch、Cchマッチドフィルタ出力はさらにピーク検出回路PDに入力され、PDは上記マッチドフィルタの出力における相関ピークを検出、平均し、その平均電力をソーティングして抽出すべきピークを選択し、選択されたピークの位相を登録する。PDはサンプルホールド回路SHp1～SHpS及びSHt1～SHtRに対するコントロール信号を出力し、このコントロール信号はデコーダDECp、DECtによりデコードされる。このコントロール信号により各サンプルホールド回路へのサンプリ

ング信号が生成される。これによって、前記マッチドフィルタの全部または一部についてピーク検出、選択が行われる。

【0013】共通グループCchは止り木チャンネル側、トラフィックチャンネル側のいずれにも適用でき、従ってトラフィックチャンネルは4～6チャンネルの範囲で可変であり、止り木チャンネルは2～4チャンネルの範囲で可変である。このように共通グループを設けてチャンネル数を可変としたので、通信形態の自由度を高めることができる。

【0014】各サンプルホールド回路SHp1～SHpS、SHt1～SHtRの出力には、A/D変換回路ADp1～ADpS、ADt1～ADtRにそれぞれ接続され、これらA/D変換回路によりデジタル信号に変換される。A/D変換回路ADp1～ADpSの出力はマルチバス信号・マルチブレクサMUX 31に入力され、A/D変換回路ADt1～ADtRの出力はマルチバス信号・マルチブレクサMUX 32に入力されている。これらマルチブレクサMUX 31、MUX 32はサンプルホールド回路のデータを逐一的に出力し、以後のフェージング補償およびレーク合成を時分割で実行させる。この時分割処理により、フェージング補償およびレーク合成のための回路は小規模となる。なおA/D変換回路ADp1～ADpSに替えて1個のA/D変換回路を設け、これを時分割で使用して、全てのサンプルホールド回路SHp1～SHpSの信号のデジタル化を行うことも可能であり、A/D変換回路ADt1～ADtRについても同様である。

【0015】MUX 31は止り木チャンネルのA/D変換回路の変換出力について、相関出力を順次メモリMEM31に格納し、それらのI相、Q相の信号はフェージング補償回路PC31によってフェージング補償される。フェージング補償された信号はレーク合成回路RCMB31に入力され、レーク合成出力Sout1が生成される。MUX 32はトラフィックチャンネルのピーク電力が生じた位相について、相関出力を順次メモリMEM32に格納し、それらのI相、Q相の信号はフェージング補償回路PC32によってフェージング補償される。フェージング補償された信号はレーク合成回路RCMB32に入力され、レーク合成出力Sout2が生成される。

【0016】図4は図3の回路の動作を説明するためのタイミングチャートであり、MF 01、MF 02、MF 11、MF 12による止り木チャンネルの処理を示す。あるシンボル周期において、これらのマッチドフィルタのいずれかで合計5個のマルチバス信号（相関ピーク：「ピーク」で示す。）が生じたとき、サンプルホールド回路SHp1～SHpSのうちの5個を用いてそのサンプルホールド（S/Hで示す。）が行なわれる。これらサンプルデータはメモリMEM31に格納される（「メ

モリ」で示す。)。その後格納データに対するフェージング補償、さらにレーク合成が行なわれる。

【0017】トラフィックチャンネルに関して長遅延パスが生じ、1シンボル周期以上遅延したマルチパス信号が存在する場合、トラフィックチャンネルのシンボル長が止り木チャンネルのシンボル長以下(例えば1/2)に設定されているため、トラフィックチャンネルの長遅延パスは止り木チャンネルにおいて検出可能である。すなわちトラフィックチャンネルのシンボル長を止り木チャンネルの1/2とすると、図4の各シンボル周期における後半部分に発生したマルチパスはトラフィックチャンネルの長遅延パスである。またこのような遅延プロファイルは基本的には急激な変動を生じないので、あるシンボル周期の遅延プロファイルを次周期の遅延プロファイルとして適用し得る。従って、トラフィックチャンネルのマルチパスの位相はあらかじめ推定可能である。

【0018】そしてトラフィックチャンネルの長遅延パスを処理するため、図5に示すように、マッチドフィルタに対する拡散符号の供給は2系統の演算レジスタ、すなわち現在の拡散符号を保持した現符号レジスタCAL-REG、および長遅延レジスタLDP-REGによって行なわれる。長遅延レジスタLDP-REGには現符号レジスタCAL-REGよりも1シンボル周期遅延した拡散符号が格納され、両レジスタのパラレル出力はレジスタ・マルチブレクサRMUXに接続され、いずれか一方のレジスタの拡散符号がマッチドフィルタに対する制御信号(拡散符号)MUXCNTとして出力され、図1に示すMUX1、MUX2、...、MUXnを制御する。拡散符号の現符号レジスタへの入力は、1シンボル周期の終了直後に瞬間にに行う必要があり、前のシンボル周期で拡散符号をあらかじめ入力レジスタINP-REGに格納しておき、入力レジスタから拡散レジスタへのパラレル転送を行う。この入力レジスタから現符号レジスタへの転送の直前に、現符号レジスタから長遅延レジスタへの拡散符号転送を行い、CAL-REGよりも1シンボル周期遅れた拡散符号がLDP-REGに格納されることになる。マルチブレクサRMUXは通常のマルチパスに対しては現符号レジスタCAL-REGの拡散符号をマッチドフィルタに供給し、長遅延パスに対しては長遅延レジスタLDP-REGの拡散符号をマッチドフィルタに供給する。これによって1個のマッチドフィルタによる長遅延パスの検出が可能になり、回路は小規模となる。なお図5では1個の長遅延レジスタの例を示すが、長遅延レジスタの個数を増すことによって、2シンボル以上の長遅延パスの検出も可能となる。

【0019】1個のマッチドフィルタにおいて、通常のマルチパスと長遅延パスは、時として同時に生じる可能性があり、このため長遅延レジスタのクロック入力には、マルチブレクサCMUXを介して、クロックCK1、CK2およびグランドGNDが入力されている。C

K1はサンプルホールド回路のサンプリングタイミングに同期したクロックであり、CK2はこれよりも充分高速の例えは4倍の速度のクロックである。相関ピークが同時に生じるタイミングにおいては、RMUXにより現符号レジスタの拡散符号をマッチドフィルタに供給し、長遅延レジスタの拡散符号は使用しない。このときCMUXをGNDに切替え、長遅延レジスタの循環シフトを停止する。次のタイミングで長遅延レジスタを選択し、1チップ時間遅れて長遅延レジスタの拡散符号による相関演算を行う。これによって重複した相関ピークの両者の検出が可能となる。

【0020】一方サンプルホールド回路においては、図1に示すように、追加のサンプルホールド回路SHEXが設けられ、VinはSHEXにも接続されている。SHEXの出力はマルチブレクサRMUXを介して加算回路ADDのp側とm側に入力されて、相関ピークの重複が例えはSH1がVinをサンプリングした直後に生じるとすれば、そのときのSH2のデータをSHEXにも格納しておく。このデータの読み込みはSH2のデータ読み込みと同時に行われる。SH1の新たなデータと現符号レジスタの拡散符号による相関演算が終了すると、次は同一データと長遅延レジスタの拡散符号による演算が行われる。しかしSH2のための新たなデータの読み込みは行なわれるので、SH2の旧データと同じデータをSHEXに保存しておいて、この旧データを含むデータ列による演算を行う。

【0021】仮に副サンプルホールド回路を設けなかった場合、長遅延レジスタによる相関演算のときには保存しておくべき1個の入力信号が新たな入力信号に更新されてしまい、演算結果に誤差を生じる。しかし通常のDS-CDMAセルラシステムではタップ数(相関演算の乗算回数)が充分多いためこの誤差は無視し得る。すなわちサンプルホールド回路SHEXを省力した構成も実現可能である。

【0022】副サンプルホールド回路への信号入力は、ピーク重複のタイミングにおいて行うことも可能であり、ピーク重複を回避するまで、SH1～SHnに格納されたデータを更新せず、新たなデータを1個または複数の副サンプルホールド回路に保持しておく。これによってピーク重複を1シンボル周期以上前から予測する必要が無くなる。

【0023】以上の動作を図6のタイミングチャートに基づいて説明すると、止り木チャンネルのマッチドフィルタMF01でk番目の演算が実行され、このシンボル周期内で、トラフィックチャンネルのマッチドフィルタMF21でk番目および(k+1)番目の演算が実行されたとする。そしてMF01に適用される拡散符号をPN01、MF21に適用される拡散符号をPN21とし、その時MF01の拡散符号はP01, k, MF21の拡散符号はPkおよびPk-1とする。

【0024】MF01においてPeak01に示す相関ピークが生じたとき、MF01のk番目の演算の周期の後半で生じたピークはMF21の長遅延パスである。この長遅延パスを破線で表示し、MF21のk番目の演算の周期に示している。この期間内では相関ピークの重複は生じていないので全ての相関ピークを後段のサンプルホールド回路SHt1～SHtRによりサンプリングされだけで(S/Hで示す)長遅延パスも抽出し得る。しかしMF21のk+3番目の演算においては、本来ならPPで示す相関ピークの位置で、現在の拡散符号および長遅延の拡散符号のピークが重なるが、前述のように長遅延の相関を遅延させることにより、同図PDに示すように長遅延のピークが遅延して生成され、重複が防止されている。サンプルホールド回路はこのように生成された相関ピークをサンプリングする。MF01の相関出力はメモリMEM01に格納され、MF21の相関出力はメモリMEM21に格納される。図4と同様に、その後フェージング補償(PHC01、PHC21)が実行され、さらにレーク合成が行われる。なお副サンプルホールド回路を複数設けておけば、複数回連続の相関ピーク重複に対処でき、正確な演算を行うことができる。この重複回数をd回とすれば、{1シンボル周期-1チップ時間}、{1シンボル周期-2チップ時間}、...、{1シンボル周期-(d-1)時間}前のデータを順次保持し、これらを順次使用して長遅延の相関ピークを出力する。その後長遅延レジスタに対して1チップ内において(d+1)回の高速循環シフトを行い、長遅延レジスタをシフト止めされない状態に戻す。

【0025】なおこのようなピーク重複回数が全体のタップ数に比較して小さいときは副サンプルホールド回路を省略することも可能であることはいうまでもない。また連続重複に対して現符号レジスタと、長遅延レジスタを交互に使用すれば個々長遅延の相関演算における誤差は入力信号1個分となり、誤差を減少し得る。このとき副長遅延レジスタの個数も1個で足りるので回路規模を小さくし得る。

【0026】マッチドフィルタの構成としては図2の構成も採用でき、サンプルホールド回路SHA1～SHAnを直列接続し、初段のSHA1に入力されたアナログ入力信号Vinを順次後段に転送する。SHA1～SHAnの出力はマルチプレクサSMUX1～SMUXnを介して図1と同様のマルチプレクサMUX1～MUXnに接続され、これらマルチプレクサの出力は加算回路ADDで加算され、スケーラSCALERによりスケーリングされている。サンプルホールド回路SHAnの後段には副サンプルホールド回路SHAEXが接続され、SHAnの出力はSHAEXに入力されている。マルチプレクサSMUX1～SMUXnは2入力1出力であり、前記SHA1～SHAnの他にSHA2～SHAEXがそれぞれ入力されている。すなわちSMUX1はSHA

1またはSHA2の出力を択一的に出力し、k番目のマルチプレクサSMUXkはSHAkまたはSHAk+1の出力を出力する。

【0027】このようなマッチドフィルタにおいて現符号レジスタの相関ピークと長遅延レジスタの相関ピークが重複した場合、SHA1～SHAnをMUX1～MUXnに対応させる接続により現符号レジスタの相関ピークを算出し、次にSHA2～SHAEXをMUX1～MUXnに対応させる接続により長遅延レジスタの相関ピークを算出する。その後SMUX1～SMUXnの接続を元に戻す。なおSHAEXを省略し得ること、連続ピーク重複に対してSHAEXを複数設け、あるいは省略し得ることは前記実施例と同様である。

【0028】図7において、前記サンプルホールド回路SH1は入力信号Vin4(図1のVinに対応)が接続されたスイッチSW43と、このスイッチSW43に接続された入力キャッシュタンスC42、この入力キャッシュタンスに接続された反転増幅回路INV4、この反転増幅回路の出力を入力に接続する帰還キャッシュタンスC41を有し、SW43が閉成状態から開放状態に移行したときにVinを保持する。INV4にはC41と並列にその入出力に接続されたリフレッシュスイッチSW42が接続され、C42の入力には基準電圧Vrefを接続するリフレッシュスイッチSW44が接続されている。基準電圧はINV4の閾値電圧と等しく、INV4の入力は常にVrefであるため、SW44閉成時にはC42の両端が同電位となってその電荷が解消される。SW42を閉成したときはC41の両端が短絡されるため、C42の電荷が解消される。さらにINV4の入力にはグランドに接続されたスイッチSW41が接続され、SW41を閉成するとINV4の入力はグランドに接続され、INV4を構成するCMOSが飽和領域に移行し、電力消費が停止する。なお他のサンプルホールド回路は同様に構成されているので説明を省略する。なお図2に示すSHA1は図7の回路を2個スイッチを介して直列接続する構成であり、ここでは説明を省略する。

【0029】図8において、前記スイッチSW41は入力信号Vin5に対してpMOS、nMOSを並列接続してなるトランジスタ回路T5と、このトランジスタ回路の出力に接続され、pMOS、nMOSを並列接続しつつその入出力を短絡させたダミートランジスタ回路DT5とよりなり、T5およびDT5のゲートにはCLK0およびその反転が制御信号として入力されている。制御信号は、インバータI5によって、T5のpMOSとnMOSについて相互に反転され、DT5のnMOSとpMOSについて相互に反転されている。なおその他のスイッチは同様に構成されているので説明を省略する。なお図2のm1～mnは現在または長遅延の拡散符号であり、図1のように循環されることなくMUX1～MUXnに供給される。

【0030】図9は加算回路ADDを示し、マルチブレクサMUX1～MUXnの第1経路出力V_{o11p}～V_{o1np}および第2経路出力V_{o11m}～V_{o1nm}がそれぞれ接続されたキャパシタンスC_{p1}～C_{pn}、C_{m1}～C_{mn}が設けられている。C_{p1}～C_{pn}は出力が統合されて容量結合が構成され、かつその出力は反転增幅回路INV71に入力されている。INV71の出力は帰還キャパシタンスCF71を介してその入力に接続されている。C_{m1}～C_{mn}は出力が統合されて容量結合が構成され、かつその出力は反転增幅回路INV72に入力されている。

2に入力されている。INV72の出力は帰還キャパシタンスCF72を介してその入力に接続されている。さらにINV71の出力は中間キャパシタンスCC7を介してINV72に入力され、これによって加減算が可能とされている。ここで、C_{p1}～C_{pn}、C_{m1}～C_{mn}、CC7、CF71、CF72の容量比を式(1)のとおりとすると、出力電圧V_{out6}は式(2)のように表現される。

【数1】

$$C_{m1} = C_{m2} = \dots = C_{mn} = C_{p1} = C_{p2} = \dots = C_{pn} = \frac{CF71}{n} = \frac{CC7}{n} = \frac{CF72}{n}$$

式(1)

$$V_{out4} - V_b = V_{dd} - \frac{\sum_{i=1}^n V_{o1ip} - \sum_{i=1}^n V_{o1im}}{n}$$

式(2)

【0031】図10において、マルチブレクサMUX1は1対のマルチブレクサMUX91、MUX92よりも、MUX91は入力電圧V_{in9}、基準電圧V_{ref}にそれぞれ接続された1対のCMOSスイッチT911、T912よりもなる。一方MUX92は入力電圧V_{in9}、基準電圧V_{ref}にそれぞれ接続された1対のCMOSスイッチT921、T922よりもなる。T911、T922にはV_{in9}が接続され、T912、T921にはV_{ref}が接続されている。MUX91、MUX92は制御信号ct1、ct2により制御され、ct1がハイレベルとなると、MUX91の出力V_{out91}はV_{in9}となり、同時にMUX92の出力V_{out92}はV_{ref}となる。逆にct2がハイレベルのときはV_{out91}=V_{ref}、V_{out92}=V_{in9}となる。なお他のマルチブレクサMUX2～MUXnは同様に構成されているので説明を省略する。

【0032】ct1は、プリ制御信号P_{ct}とこれをバッファB91、B92で遅延させた信号をNORゲートG91に入力して生成され、ct2は同様の信号をANDゲートG92に入力して生成されている。制御信号は、ct1の立下りからct2の立上りまで、およびct2の立下りからct1の立上りまでの期間において、両制御信号はいずれもローレベルとなり、V_{in5}出力とV_{ref}出力の重複が防止されている。すなわち乗数が高速で循環切替えされる場合にも、マルチブレクサの出力は安定であり、基準電圧に対する悪影響はない。

【0033】図11は長遅延レジスタLDP-REGによる相関ピーク重複の処理のための他の回路を示す。この回路では、LDP-REGの他の副長遅延レジスタSUB-LDP-REGが設けられ、副長遅延レジスタには長遅延レジスタと同一の拡散符号が、長遅延レジスタよりも1チップ時間遅延した循環シフト状態で保持されている。前述の長遅延レジスタの循環シフトの停止に替えてRMUXを副長遅延レジスタに切替え、1チップ時間遅延した拡散符号に切替る。これは循環シフトの停止と等価な処理である。その後長遅延レジスタに切替えればその循環シフトの状態は通常の状態に復帰する。なお副長遅延レジスタにはゲートGを介してクロックCKが入力され、長遅延レジスタから副長遅延レジスタへの拡散符号転送後1チップ時間だけクロックCK入力を停止し得る。これによって循環シフト状態の遅延が行なわれる。この回路では、図5の回路のように高速のクロックは不要なので、処理スピードに余裕の無いシステムでは本回路が有利であり、図5の回路は回路規模が小さいという利点がある。

【0034】相関ピークの重複が連続して生じる場合には、1チップ時間ずつ遅延量が増える複数の副長遅延レジスタを設け、連続回数だけ、より遅延量の多い副長遅延レジスタを順次選択する。なお、図5の実施例と同様、現符号レジスタと長遅延レジスタを交互に使用して連続重複の処理を行う場合には、副サンプルホールド回路は1個で足り、副長遅延レジスタも1個設ければよ

い。

【0035】図12はさらに他のレジスタの構成を示す。この回路においては、入力レジスタINP-REG、現符号レジスタCAL-REG、長遅延レジスタLDP-REGには単一のクロックCKが入力され、レジスタCAL-REG、LDP-REGはその最終段が初段に帰還されている。LDP-REG内の各データは位相・マルチブレクサPMUX1に入力され、CAL-REGの各データは位相・マルチブレクサPMUX2に入力されている。位相・マルチブレクサはCAL-REG、LDP-REGのデータ配列をそのまま、あるいはその直前(1チップ時間前)の循環シフト状態のデータ配列を後段に出力する。PMUX1、PMUX2の出力はレジスタ・マルチブレクサRMUXに入力され、CAL-REG出力またはLDP-REG出力を逐一的にMUXCNTとして出力する。

【0036】図13において、位相・マルチブレクサPMUX1はレジスタLDP-REGの初段(データD1で示す。)と第2段(データD2で示す。)に対応した2入力1出力のデータ・マルチブレクサDMUX1、第2段と第3段に対応したデータ・マルチブレクサDMUX2、...、第(n-1)段から最終段に対応したデータ・マルチブレクサDMUXn-1、最終段と初段に対応したデータ・マルチブレクサDMUXnと有し、ピーク重複のない通常の相関演算では、DMUX1～DMUXnはD1～Dnをそれぞれ出力する。そしてピーク重複タイミングから1チップ時間遅れたタイミングで相関演算を行うときは、DMUX1～DMUXnからD2～DnおよびD1をそれぞれ出力する。これは1チップ時間前のD1～Dnに対応するデータであり、図5の回路で循環シフトを停止したの同様の効果が得られる。このような構成においては図5の回路のようにクロックを停止した後の高速クロックは不要であり、回路性能の確保が容易である。なおPMUX2はPMUX1と同様に構成されているので説明を省略する。なお複数チップ時間前のデータ列を再現し得るように多入力1出力のマルチブレクサを用いれば、複数演算レジスタのピーク重複や連続的ピーク重複に対応し得る。

【0037】また本発明は以上の構成に限定されるものではなく、1個または複数のマッチドフィルタに対して現符号レジスタおよび長遅延レジスタを切替可能に接続し、長遅延パスを検出する任意の構成を包含する。

【発明の効果】本発明に係る信号受信装置は、本発明に係る信号受信装置は、現在の拡散符号を格納した現符号レジスタと現在の拡散符号より1シンボル周期遅延した拡散符号を格納した長遅延レジスタを切替えて使用し、1個のマッチドフィルタで現在および長遅延のピークを受信するので、小型の信号受信装置により長遅延パスに対処し得るという優れた効果を有する。

【図面の簡単な説明】

【図1】 本発明に係るマッチドフィルタを示すブロック図である。

【図2】 他のマッチドフィルタを示すブロック図である。

【図3】 図1のマッチドフィルタの後続の回路を示すブロック図である。

【図4】 同マッチドフィルタで長遅延パスが生じない場合の動作を示すタイミングチャートである。

【図5】 同マッチドフィルタの拡散符号の格納のためのレジスタを示すブロック図である。

【図6】 長遅延パスの処理を含むマッチドフィルタの動作を示すタイミングチャートである。

【図7】 図1のサンプルホールド回路を示す回路図である。

【図8】 図7のスイッチを示す回路図である。

【図9】 図1の加算回路を示す回路図である。

【図10】 図1のマルチブレクサを示す回路図である。

【図11】 長遅延パス処理における拡散符号格納のための他のレジスタを示すブロック図である。

【図12】 長遅延パス処理における拡散符号格納のためのさらに他のレジスタを示すブロック図である。

【図13】 図12の回路における位相・マルチブレクサを示すブロック図である。

【符号の説明】

SH1～SHn、SHEX、SHp1～SHpS、SHm1～SHmn... サンプルホールド部
MUX1～MUXn、SMUX1～SMUXn、MUXp1～MUXpS、MUXt1～MUXtR、MUX31、MUIX32、CMUX、RMUX... マルチブレクサ

SEL... セレクタ

ADD... 加算回路

SCALER... スケーラ

MF01、MF02、MF11、MF12、MF21、MF22、MF23、MF24... マッチドフィルタ
Pch... 止り木チャンネルグループ

Cch... 共用グループ

Tch... トライフィックチャンネルグループ

PD... ピーク検出回路

DECp、DECt... デコーダ

ADp1～ADpS、ADM1～ADMn... A/D
コンバータ

MEM31、MEM32... メモリ

PC31、PC32... フェージング補償回路

RCMB31、RCMB32... レーク合成回路

INP-REG... 入力レジスタ

CAL-REG... 現符号レジスタ

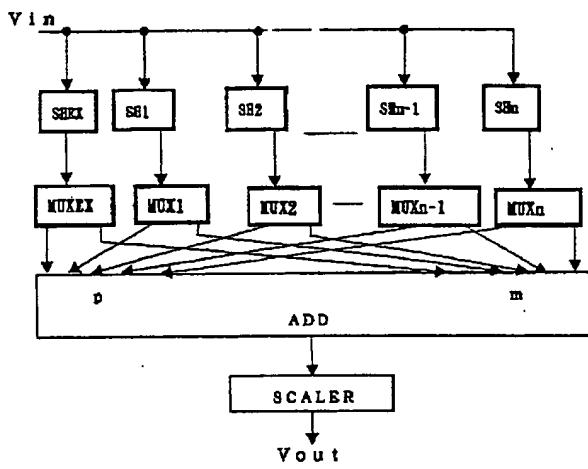
LDP-REG... 長遅延レジスタ

SW41、SW42、SW43、SLSW1、SRSW

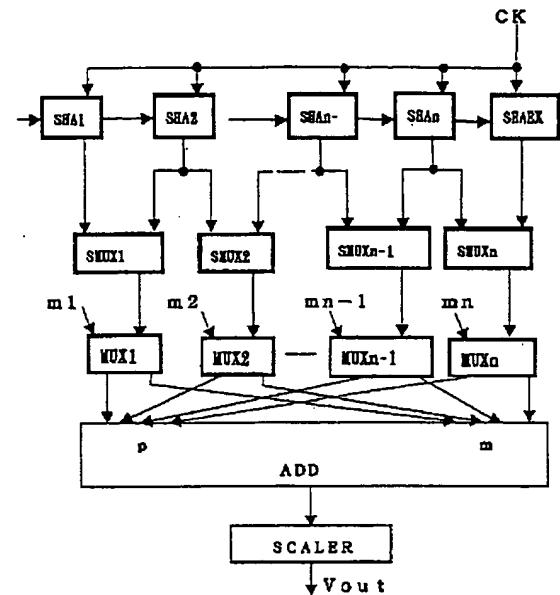
1、SLSW2、SRSW2、RSW...スイッチ
 C41、C42、Cp1~Cpn、Cm1~CMn、C
 C7...キャパシタス
 G91、G92...論理ゲート
 B91、B92...バッファ
 INV4、INV71、INV72...反転増幅回路
 I5、I91、I92、I62、I71~I78、I
 8...インバータ
 T911、T912、T921、T922...CMO
 Sスイッチ

Pct、pct'...プリ制御信号
 ct1、ct2...制御信号
 Vref...基準電圧
 Vin、Vi4、Vi5、Vo11p~Vo1np、
 Vo11m~Vo1nm、Vin9...入力電圧
 Vout、Sout1、Sout2、Vo4、Vout
 6...出力電圧。
 8
 整理番号=YZ1997072 A

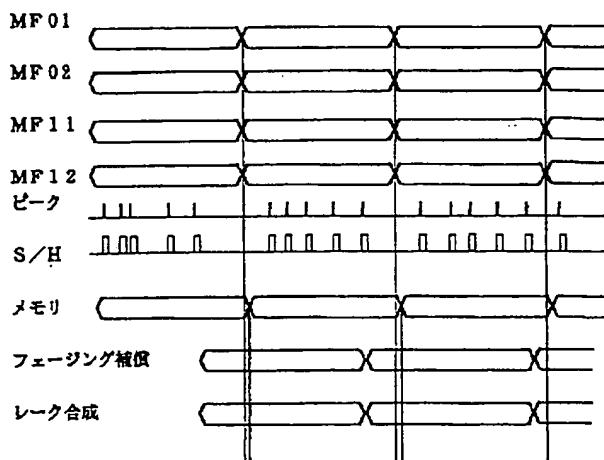
【図1】



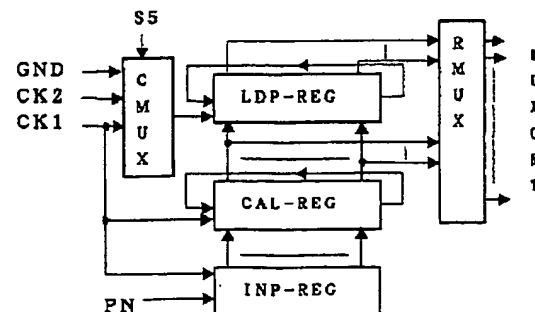
【図2】



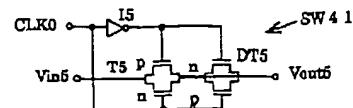
【図4】



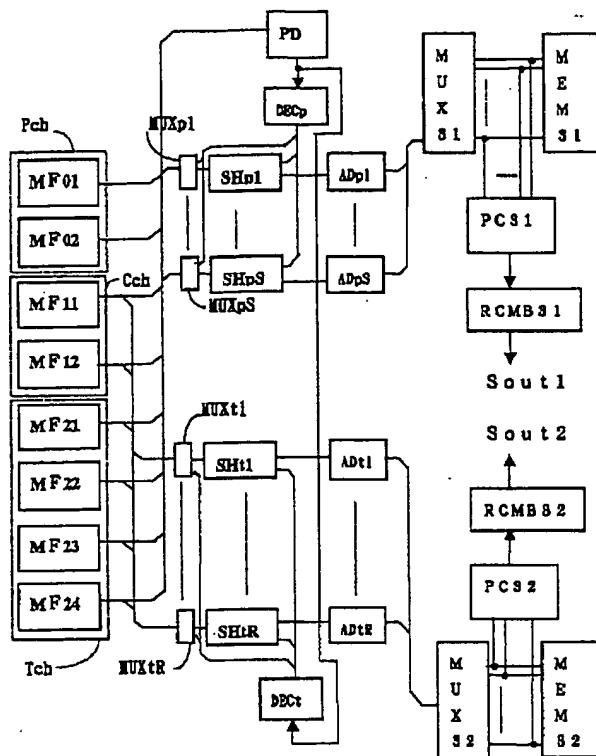
【図5】



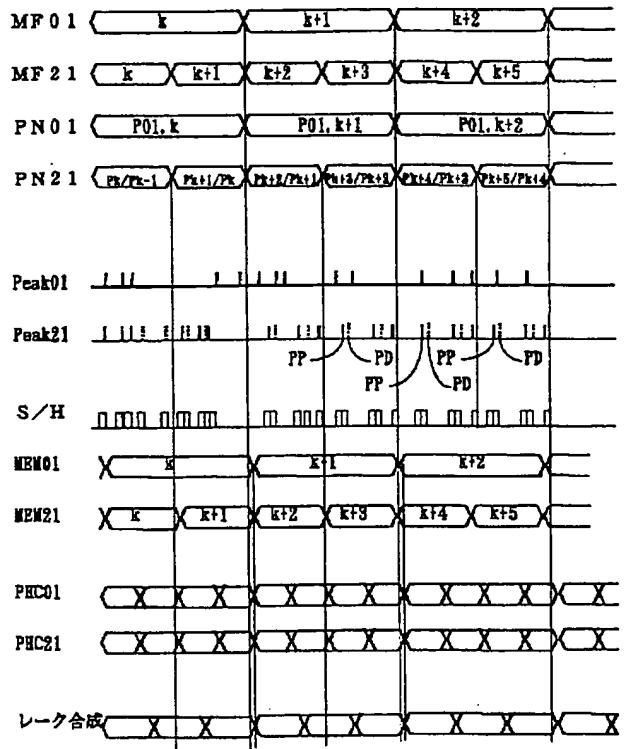
【図8】



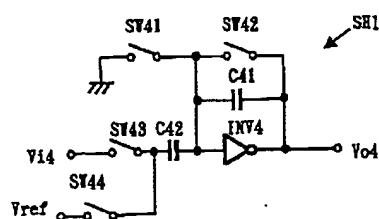
【図3】



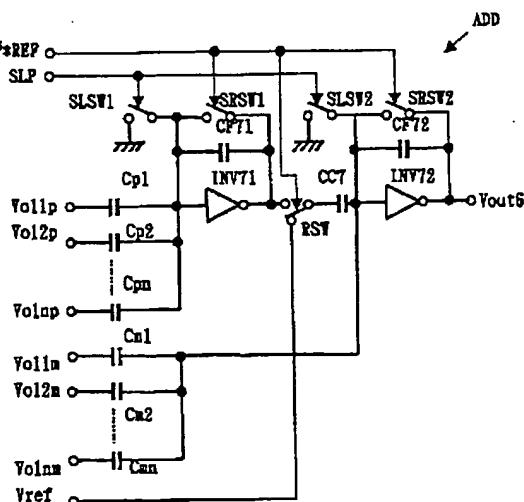
【図6】



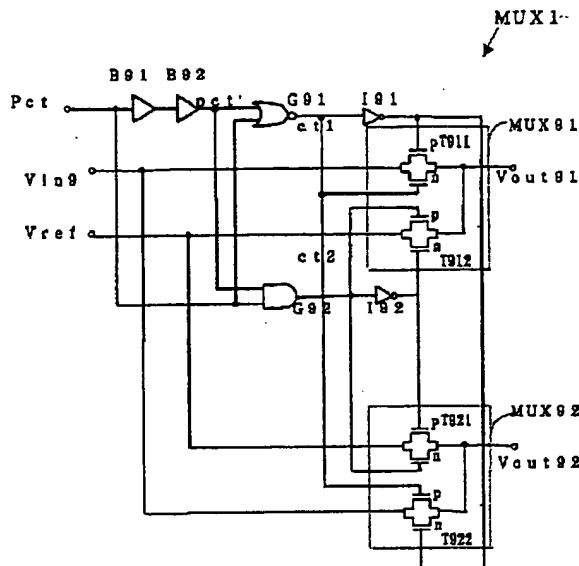
【図7】



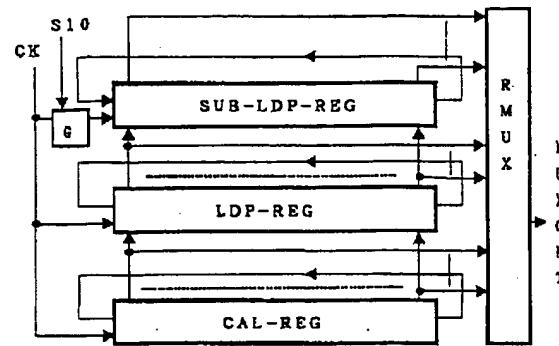
【図9】



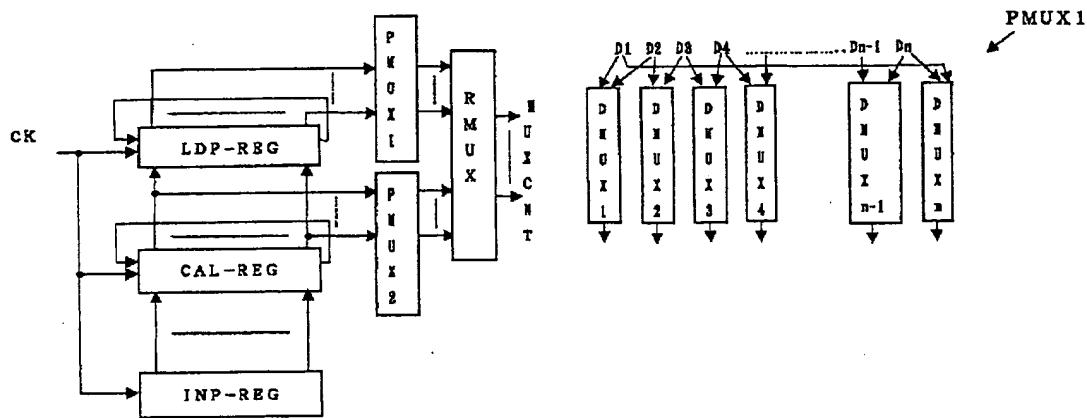
【図10】



【図11】



【図12】



【図13】

フロントページの続き

(72)発明者 佐和橋 衛
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社

(72)発明者 安達 文幸
東京都港区虎ノ門二丁目10番1号 エヌ・
ティ・ティ移動通信網株式会社